

This document contains a post-print version of the paper

Modellierung eines Smart HighSide Power ICs

authored by **M. Blank, T. Gück, A. Kugi, and H-P. Kreuter**

and published in *at-Automatisierungstechnik*.

The content of this post-print version is identical to the published paper but without the publisher's final layout or copy editing. Please, scroll down for the article.

Cite this article as:

M. Blank, T. Gück, A. Kugi, and H.-P. Kreuter, "Modellierung eines smart highside power ics", *at-Automatisierungstechnik*, vol. 61, no. 12, pp. 849–858, 2013. DOI: [10.1524/auto.2013.1003](https://doi.org/10.1524/auto.2013.1003)

BibTex entry:

```
@Article{BlankAT2013,  
  Title = {Modellierung eines Smart HighSide Power ICs},  
  Author = {M. Blank and T. G\"uck and A. Kugi and H-P. Kreuter},  
  Journal = {at--Automatisierungstechnik},  
  Year = {2013},  
  Number = {12},  
  Pages = {849-858},  
  Volume = {61},  
  Doi = {10.1524/auto.2013.1003},  
  Url = {http://www.degruyter.com/view/j/auto.2013.61.issue-12/auto-2013-1003/auto-2013-1003.xml?format=INT}  
}
```

Link to original paper:

<http://dx.doi.org/10.1524/auto.2013.1003>

<http://www.degruyter.com/view/j/auto.2013.61.issue-12/auto-2013-1003/auto-2013-1003.xml?format=INT>

Read more ACIN papers or get this document:

<http://www.acin.tuwien.ac.at/literature>

Contact:

Automation and Control Institute (ACIN)
Vienna University of Technology
Gusshausstrasse 27-29/E376
1040 Vienna, Austria

Internet: www.acin.tuwien.ac.at
E-mail: office@acin.tuwien.ac.at
Phone: +43 1 58801 37601
Fax: +43 1 58801 37699

Modellierung eines Smart High-Side Power ICs

Modelling of a Smart High-Side Power IC

Mathias Blank*, Tobias Glück, Andreas Kugi, Technische Universität Wien, Österreich,
Hans-Peter Kreuter, Infineon Technologies Austria AG, Villach, Österreich

* Korrespondenzautor: blank@acin.tuwien.ac.at

Zusammenfassung Dieser Beitrag behandelt die mathematische Modellierung eines Smart High-Side Power ICs. Smart Power ICs sind Leistungsschalter mit integrierten Regelungs- und Schutzfunktionen. Ausgehend von der vollständigen Schaltung des ICs wird eine für die Systemanalyse und den Reglerentwurf geeignete Ersatzschaltung abgeleitet und mathematisch modelliert. Damit ist es möglich, das Großsignalverhalten des Smart Power ICs mit Hilfe eines Differentialgleichungssystems fünfter Ordnung zu beschreiben. Anhand von Simulationsergebnissen wird das mathematische Modell mit der vollständigen Schaltung verglichen.

▶▶▶ Summary This paper is concerned with the mathematical modeling of a Smart High-Side Power IC. Smart Power ICs are power switches with integrated control and protection functions. On the basis of the full circuit of the Smart Power IC, an equivalent circuit, tailored to the needs of systemanalysis and control design, is introduced and mathematically modeled. This allows to model the large signal behavior in form of an explicit system of five nonlinear differential equations. In simulation studies, the proposed model is compared with the full circuit implemented in a circuit simulator.

Schlagwörter Smart Power IC, Power MOSFET, mathematische Modellierung ▶▶▶ **Keywords** Smart Power IC, Power MOSFET, mathematical modeling

1 Einleitung

In den letzten Jahrzehnten haben sich Leistungsschalter mit integrierten analogen Regelungs- und Schutzfunktionen für das Schalten von Mittel- und Hochstromlasten in industriellen und automobilen Anwendungen etabliert. Die Kombination aus Leistungsschalter und zusätzlichen integrierten Funktionen wird in der Literatur auch als Smart Power IC bezeichnet, vgl. [9; 12]. Bei den genannten Funktionen handelt es sich unter anderem um Treiberschaltungen zur Ansteuerung des Leistungsschalters, Temperatursensoren für die Temperaturüberwachung und Übertemperaturabschaltung, eine Laststrommessung und dessen Regelung zur Laststrombegrenzung sowie Dioden zum Schutz des Leistungsschalters gegen Überspannung, siehe [13].

Diese Funktionen werden heute größtenteils mit analogen Schaltungen realisiert. Diese analog integrierten Regelungs- und Schutzkonzepte sind gut erprobt, robust und zuverlässig. Ein großer Nachteil besteht allerdings in deren eingeschränkter Wiederverwendbarkeit für verschiedene Leistungsklassen oder für unterschiedliche Lastfälle. In der Regel ist zur Anpassung der Funktionen die Überarbeitung des Schaltungsdesigns notwendig. Zudem sind moderne und leistungsfähige Regelungs- und Lastschätzalgorithmen nur schwer bzw. nicht mit analogen Schaltungen umsetzbar, weshalb der Wunsch nach einer alternativen Lösung besteht.

Die rapide Weiterentwicklung von System-on-Chip (SoC) Lösungen hin zu immer preiswerteren und leistungsfähigeren Systemen ermöglicht es, diese Nachteile

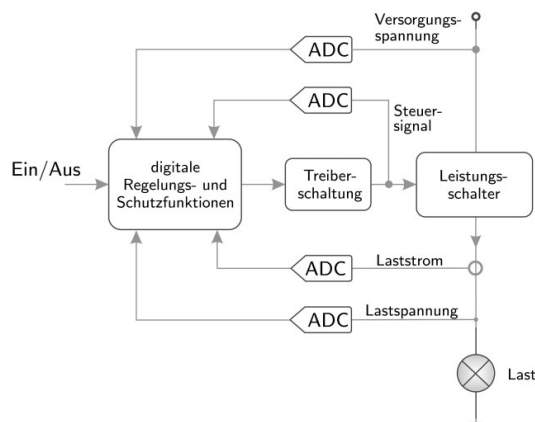


Bild 1 Prinzipschaltbild eines digitalen Smart Power ICs inklusive der Last.

mittels einer digitalen Implementierung der Regelungs- und Schutzfunktionen zu umgehen. Hierzu werden die charakteristischen Größen des Leistungsschalters (Versorgungsspannung, Laststrom und -spannung, Steuersignal des Leistungsschalters) gemessen, mit Hilfe von Analog/Digital-Wandlern (ADC) diskretisiert und im Digitalrechner des SoC weiterverarbeitet. Die Ansteuerung des Leistungsschalters erfolgt dabei mit einer digital steuerbaren Treiberschaltung. Ein Prinzipschaltbild eines solchen digitalen Smart Power ICs ist in Bild 1 dargestellt.

Für den Entwurf einer geeigneten digitalen Regelungs- und Schätzstrategie wird ein mathematisches Großsignalmodell des Smart Power ICs inklusive der zu schaltenden Last benötigt. In Abschnitt 2 wird daher die Modellierung eines Smart High-Side¹ Power ICs behandelt. Dazu wird eine Ersatzschaltung des Smart Power ICs vorgestellt und das zugehörige mathematische Modell zur Beschreibung des Großsignalverhaltens hergeleitet. Weiters folgen in Abschnitt 3 der Modellabgleich und in Abschnitt 4 die Simulationsergebnisse. In Abschnitt 5 werden die Ergebnisse zusammengefasst und ein Ausblick auf zukünftige Arbeiten gegeben.

2 Mathematische Modellierung

Den Ausgangspunkt der Modellierung bildet die vollständige Schaltung des Smart Power ICs. Diese ist in der Design- und Simulationsumgebung CUSTOM IC DESIGN: CADENCE VIRTUOSO SCHEMATIC [17] gegeben. Die vollständige Schaltung kann jedoch aufgrund ihrer hohen Komplexität nicht direkt für die Systemanalyse und den Regelungsentwurf verwendet werden, weshalb im Folgenden eine geeignete, vereinfachte Ersatzschaltung vorgestellt und mathematisch beschrieben wird.

Die Ersatzschaltung des Smart Power ICs besteht aus dem Leistungsschalter, dem Power MOSFET T_1 und der

¹ In einer High-Side Konfiguration wird die zu schaltende Last zur Versorgungsspannung und in einer Low-Side Konfiguration zur Bezugsmasse geschaltet.

Schutzdiode D_1 , der zu schaltenden ohmsch-induktiven Last R_L und L_L sowie der Treiberschaltung, siehe Bild 2.

Die Treiberschaltung liefert den für das Aktivieren bzw. Deaktivieren des Power MOSFETs benötigten Gatestrom i_g . Dieser setzt sich aus dem Strom der Lade-stromquelle $i_{g,1}$ und dem Strom der Entladestromquelle $i_{g,2}$ über $i_g = i_{g,1} - i_{g,2}$ zusammen. Der Lade- bzw. Entlade-strom ist mit der jeweiligen Referenzstromquelle $i_{g,10}$ bzw. $i_{g,20}$ einstellbar. Wird ein positiver Gatestrom vorgegeben, so werden die Eingangskapazitäten des Power MOSFETs geladen, der Power MOSFET wird dadurch aktiviert und die Last zur Versorgungsspannung V_{bat} geschaltet. Wird wiederum ein negativer Gatestrom vorgegeben, so werden die Kapazitäten entladen und der Power MOSFET deaktiviert.

Weiters ist in der Treiberschaltung die sogenannte Ladungspumpe berücksichtigt. Die Ladungspumpe erhöht das Gatepotential des Power MOSFETs gegenüber seinem Sourcepotential. Diese Erhöhung ermöglicht ein Aktivieren/Deaktivieren des n-Kanal Power MOSFETs in einer High-Side Konfiguration, siehe [12]. Das Großsignalverhalten der Ladungspumpe wird mit der Spannungsquelle V_{cp} und dem Innenwiderstand R_{Vcp} modelliert. Im Folgenden wird detailliert auf die einzelnen Schaltungselemente und ihre Modellierung eingegangen.

2.1 Power MOSFET

Das Großsignalverhalten des Power MOSFETs wird zum einen durch seine parasitären Komponenten und zum anderen durch die spannungsabhängige Leitfähigkeit der Drain-Source-Strecke bestimmt. Zu den parasitären Komponenten zählen die Zuleitungs- und Substratwiderstände sowie die spannungsabhängigen Streu- und Übergangskapazitäten zwischen den unterschiedlich dotierten Bereichen des Power MOSFETs, siehe [12]. Bei den nichtlinearen, spannungsabhängigen Kapazitäten handelt es sich um differentielle Kapazitäten, d. h. deren Kapazität ist über dQ/dv mit der Ladung Q und der Anschlussspannung v definiert. Die Leitfähigkeit der Drain-Source-Strecke hängt von der angelegten Gate-

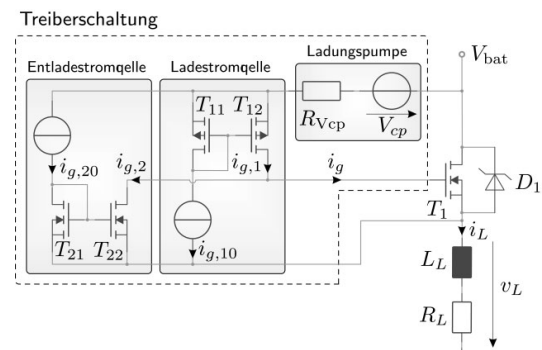


Bild 2 Ersatzschaltung des Smart High-Side Power ICs inklusive der zu schaltenden ohmsch-induktiven Last.

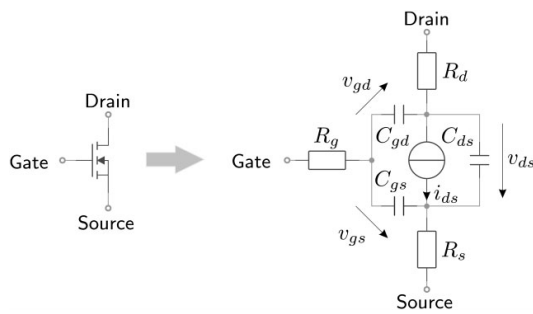


Bild 3 Das aus konzentrierten Bauelementen bestehende Großsignalersatzschaltbild des n-Kanal Power MOSFETs.

Source-Spannung v_{gs} und der Drain-Source-Spannung v_{ds} ab. Bild 3 zeigt dazu ein aus konzentrierten Bauelementen bestehendes Großsignalersatzschaltbild des Power MOSFETs. Die parasitären Widerstände und Kapazitäten werden durch die konstanten Gate-, Drain- und Sourcewiderstände R_g , R_d und R_s sowie die Gate-Source-, Drain-Source- und Gate-Drain-Kapazitäten C_{gs} , C_{ds} und C_{gd} berücksichtigt. Die Leitfähigkeit der Drain-Source-Strecke wird mit der spannungsgesteuerten Drainstromquelle $i_{ds} = f(v_{gs}, v_{ds})$ modelliert, vgl. [12]. Die parasitären Widerstände und die Drainstromquelle bestimmen das statische und die Kapazitäten das dynamische Verhalten des n-Kanal Power MOSFETs.

2.1.1 Drainstromquelle

Das Verhalten der Drainstromquelle kann anhand der Transfer- und Ausgangskennlinie charakterisiert werden, siehe Bild 4. Die Transferkennlinie beschreibt den Drainstrom i_{ds} als Funktion der Gate-Source-Spannung v_{gs} und die Ausgangskennlinie gibt den Drainstrom i_{ds} als Funktion der Drain-Source-Spannung v_{ds} an. Weiters zeigt Bild 4 die drei grundsätzlich zu unterscheidenden Arbeitsbereiche des Power MOSFETs: Sperr-, ohmscher und Sättigungsbereich. Der Verlauf von i_{ds} in den einzelnen Arbeitsbereichen lässt sich mit dem MOSFET Modell erster Ordnung nach [4] wie folgt beschreiben:

1. Sperrbereich, $v_{gs} \leq V_{th}$:

Unterschreitet die Gate-Source-Spannung v_{gs} die sogenannte Schwellspannung V_{th} , so befindet sich der MOSFET im Sperrbereich, d.h. der Leitwert der

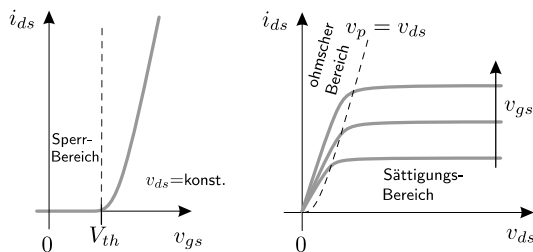


Bild 4 Kennlinien eines n-Kanal MOSFETs.

Drain-Source-Strecke ist minimal und für i_{ds} gilt in erster Näherung

$$i_{ds} = 0. \tag{1a}$$

2. Ohmscher Bereich, $v_{gs} > V_{th}$ und $v_{ds} \leq v_p$:
Überschreitet die Gate-Source-Spannung v_{gs} die Schwellspannung V_{th} bei einer Drain-Source-Spannung v_{ds} kleiner gleich der Abschnürspannung v_p , so beginnt der MOSFET zu leiten und der Drainstrom i_{ds} ergibt sich zu

$$i_{ds} = K \left(v_{gs} - V_{th} - \frac{v_{ds}}{2} \right) v_{ds} \tag{1b}$$

mit dem Verstärkungsfaktor K .

3. Sättigungsbereich, $v_{gs} > V_{th}$ und $v_{ds} > v_p$:
Ist die Gate-Source-Spannung v_{gs} größer als die Schwellspannung V_{th} und die Drain-Source-Spannung v_{ds} größer als die Abschnürspannung v_p , so wird der MOSFET im Sättigungsbereich betrieben und es gilt

$$i_{ds} = \frac{K}{2} (v_{gs} - V_{th})^2. \tag{1c}$$

Im Sättigungsbereich ist der Drainstrom i_{ds} unabhängig von der Drain-Source-Spannung v_{ds} .

Eine detaillierte Beschreibung des MOSFET Modells erster Ordnung und dessen physikalische Herleitung ist unter anderem in [2–4] zu finden. Die einfache, jedoch abschnittsweise definierte und nicht stetig differenzierbare Beschreibung der Leitfähigkeit der Drain-Source-Strecke nach (1) wird häufig für die einfache Schaltungsanalyse verwendet. Zudem findet sie in angepasster und erweiterter Form auch heute noch Verwendung in der Schaltungssimulation, siehe [4]. Für den modellbasierten Regelungsentwurf ist diese Beschreibung nur bedingt geeignet. Im Weiteren werden die Gleichungen (1) für die Modellierung der Entladestromquelle in Abschnitt 2.3 verwendet, da der dort verwendete MOSFET lediglich im Sättigungsbereich betrieben wird. Für die Beschreibung der Drainstromquelle des Power MOSFETs kommt ein sogenanntes All-Region Modell zum Einsatz. Ein All-Region Modell beschreibt den gesamten Arbeitsbereich des Power MOSFETs kontinuierlich und stetig differenzierbar. Konkret wird der Kern des sogenannten EKV (Enz-Krummenacher-Vittoz) Modells [8; 14] in der Form

$$i_{ds} = I_s (i_F - i_R) \tag{2a}$$

mit dem konstanten spezifischen Strom I_s , dem normierten Vorwärtsstrom

$$i_F = \left[\ln \left(1 + \exp \left(\frac{v_p}{2V_t} \right) \right) \right]^2 \left(1 + \frac{v_{ds}}{V_A} \right), \tag{2b}$$

dem normierten Rückwärtsstrom

$$i_R = \left[\ln \left(1 + \exp \left(\frac{v_p - v_{ds}}{2V_t} \right) \right) \right]^2, \tag{2c}$$

der Temperaturspannung V_t , der Earlyspannung V_A und der gewichteten Abschnürspannung

$$v_p = \frac{v_{gs} - V_{th}}{n}, \quad (2d)$$

mit dem Steigungsfaktor n verwendet. Der Vorwärtsstrom i_F wurde hier phänomenologisch mit der empirischen Beschreibung der Kanallängenmodulation, $1 + v_{ds}/V_A$, erweitert. Die Kanallängenmodulation berücksichtigt ein Ansteigen von i_{ds} im Sättigungsbe- reich [4; 11]. Der Steigungsfaktor n ist als die Ableitung der Gate-Source-Spannung v_{gs} nach der Abschnürspannung v_p definiert. Dieser wird im Weiteren jedoch als konstanter Parameter angenommen.

Nochmals sei darauf hingewiesen, dass die Beschreibung des Drainstroms i_{ds} nach (2d) im Gegensatz zu (1) in allen Arbeitsbereichen gültig und stetig differenzierbar ist.

2.1.2 Parasitäre Kapazitäten

Wie bereits erwähnt, wird die Dynamik und damit das Schaltverhalten des Power MOSFETs wesentlich durch die parasitären Kapazitäten bestimmt. Diese Kapazitäten stehen allgemein eng im Zusammenhang mit der Ausbreitung der Raumladungzone im Power MOSFET und weisen daher ein stark nichtlineares, spannungsabhängiges Verhalten auf. Die nun folgende Modellierung der parasitären Kapazitäten orientiert sich an den Ausführungen in [1; 5; 7; 11].

Im Großsignalersatzschaltbild nach Bild 3 sind die parasitären Kapazitäten zu C_{gs} , C_{ds} und C_{gd} zusammengefasst. Den dominanten Anteil von C_{gs} bildet die Kapazität zwischen der Gateplatte und der Source-Metallisierung des Power MOSFETs, siehe [1]. Diese kann als konstant angenommen werden, d. h. es gilt

$$C_{gs} = C_{gs,0} = \text{konst.} \quad (3)$$

Die Drain-Source-Kapazität C_{ds} resultiert aus der Sperrschichtkapazität der strukturbedingten $p^+n^-n^+$ -Diode zwischen dem Drain- und Sourceanschluss, siehe [1]. Diese spannungsabhängige Kapazität wird mit der Sperrschichtkapazität einer pn -Diode

$$C_{ds}(v_{ds}) = \frac{C_{ds,0}}{\left(1 + \frac{v_{ds}}{v_{diff,ds}}\right)^{n_{c,ds}}} \quad (4)$$

approximiert. Dabei entspricht $C_{ds,0}$ der Drain-Source-Kapazität bei $v_{ds} = 0$, $v_{diff,ds}$ der Diffusionsspannung und $n_{c,ds}$ dem Kapazitätskoeffizienten, vgl. [11]. An dieser Stelle sei angemerkt, dass mit dieser Kapazität indirekt auch die Kapazität der Schutzdiode D_1 berücksichtigt wird. Die Kapazität C_{gd} zwischen dem Gate- und dem Drainanschluss setzt sich aus der Serienschaltung der konstanten Gateoxidkapazität und der Raumladungszonenkapazität unter dem Gateoxid zusammen, siehe [1; 5]. Die Raumladungszonenkapazität existiert nur, wenn das Drainpotential höher als jenes des Gates ist. Unterschreitet das Drainpotential das Gatepotential, so wird der Wert

von C_{gd} durch die Gateoxidkapazität dominiert und es gilt näherungsweise

$$C_{gd} = C_{gd,0} = \text{konst.} \quad \text{für} \quad v_{gd} \geq 0. \quad (5)$$

Anderenfalls breitet sich die Raumladungzone aus und C_{gd} fällt in Abhängigkeit von v_{ds} stark ab, vgl. [7]. Für diesen Fall kann C_{gd} durch

$$C_{gd}(v_{gd}) = \frac{C_{gd,0}}{\left(1 - \frac{v_{gd}}{b_{c,gd}}\right)^{a_{c,gd}}} \quad \text{für} \quad v_{gd} < 0 \quad (6)$$

mit den beiden konstanten Parametern $a_{c,gd}$ und $b_{c,gd}$ approximiert werden. Um stetige Differenzierbarkeit zu garantieren, wird C_{gd} in einer $\delta_{v_{gd}}$ -Umgebung von $v_{gd} = 0$ mit Hilfe eines Polynoms dritter Ordnung beschrieben. Zusammengefasst ergibt sich die Gate-Drain-Kapazität zu

$$C_{gd}(v_{gd}) = \begin{cases} C_{gd,0}, & v_{gd} > \delta_{v_{gd}} \\ C_{gd,0} \sum_{i=0}^3 a_i (-v_{gd})^i, & \delta_{v_{gd}} \geq v_{gd} \geq -\delta_{v_{gd}} \\ \frac{C_{gd,0}}{\left(1 - \frac{v_{gd}}{b_{c,gd}}\right)^{a_{c,gd}}}, & v_{gd} < -\delta_{v_{gd}} \end{cases} \quad (7)$$

mit den Parametern des Polynoms a_i , $i = 0, 1, 2, 3$.

2.2 Schutzdiode

Die Schutzdiode schützt den Power MOSFET vor Überspannung. Dazu beginnt diese ab einer Sperrspannung $v_{ds} > v_z$ und ab einer Vorwärtsspannung $v_{ds} < v_{pn}$ zu leiten. Dieses Verhalten wird im Folgenden in Form der mathematischen Beschreibung einer Zenerdiode modelliert, vgl. [11],

$$i_z(v_{ds}) = i_{z,0} \left(\exp\left(\frac{-v_{ds} + v_{pn}}{n_z V_{t,z}}\right) - \exp\left(\frac{v_{ds} - v_z}{n_z V_{t,z}}\right) \right). \quad (8)$$

Dabei entspricht $i_{z,0}$ dem Sättigungssperrstrom, n_z dem Emissionskoeffizient und $V_{t,z}$ ist die Temperaturspannung. Der Verlauf von i_z sowie das Großsignalersatzschaltbild der Diode sind in Bild 5 dargestellt. Wie in Abschnitt 2.1.2 besprochen, wird die Kapazität und damit die Dynamik der Schutzdiode bereits indirekt durch die Drain-Source-Kapazität berücksichtigt.

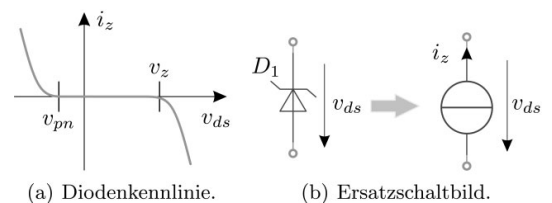


Bild 5 Diodenkennlinie und zugehöriges Großsignalersatzschaltbild.

2.3 Entladestromquelle

Bild 6 zeigt die Ersatzschaltung der Entladestromquelle im Detail. Diese besteht aus den beiden Transistoren T_{21} und T_{22} sowie aus der variablen Referenzstromquelle $i_{g,20}$. Bei der Ersatzschaltung handelt es sich um einen sogenannten Stromspiegel. Ein Stromspiegel ist im Wesentlichen eine stromgesteuerte Stromquelle. In diesem Zusammenhang entspricht $i_{g,20}$ der Steuergröße und $i_{g,2}$ der Ausgangsgröße, siehe [11]. Das Großsignalverhalten der Entladestromquelle wird durch die beiden Transistoren, die Referenzstromquelle und die Klemmspannung $v_{ds,22}$ bestimmt. Die Klemmspannung $v_{ds,22}$ hängt wesentlich von der Gate-Source-Spannung v_{gs} des Power MOSFETs ab. Da v_{gs} beim Schalten stark variiert und zudem $v_{ds,22}$ der Drain-Source-Spannung von T_{22} entspricht, folgt, dass T_{22} in allen Betriebsbereichen betrieben wird. Für die Modellierung des Drainstroms von T_{22} wird daher der All-Region Ansatz (2d) aus Abschnitt 2.1 verwendet. Der Drainstrom $i_{g,2}$ von T_{22} lautet somit

$$i_{g,2} = I_{s,22} \left(\ln \left(1 + \exp \left(\frac{v_{p,22}}{2V_{t,2}} \right) \right) \right)^2 \left(1 + \frac{v_{ds,22}}{V_{A,22}} \right) - \ln \left(1 + \exp \left(\frac{v_{p,22} - v_{ds,22}}{2V_{t,2}} \right) \right)^2. \quad (9a)$$

Dabei entspricht $I_{s,22}$ dem spezifischen Strom, $V_{t,2}$ der Temperaturspannung, $V_{A,22}$ dem Earlykoeffizient und

$$v_{p,22} = v_{gs,2} - V_{th,22} \quad (9b)$$

der Abschnürspannung mit der Gate-Source-Spannung $v_{gs,2}$ sowie der Schwellspannung $V_{th,22}$. Der Steigungsfaktor n wurde zu 1 gesetzt.

Die noch unbekannte Gate-Source-Spannung $v_{gs,2}$ ergibt sich aus der Beschreibung des Drainstroms $i_{g,20}$ von T_{21} . Der Transistor T_{21} wird ausschließlich im Sättigungsbereich betrieben. Dies folgt zum einen aus der Annahme, dass die Gate-Source-Spannung $v_{gs,2}$ größer als die Schwellspannung $V_{th,21}$ ist, und zum anderen aus der Gleichheit von Gate- und Drainpotential, [15]. Im Sättigungsbereich berechnet sich der Drainstrom $i_{g,20}$ von T_{21} nach (1c) zu

$$i_{g,20} = \frac{K_{21}}{2} (v_{gs,2} - V_{th,21})^2 \quad (10)$$

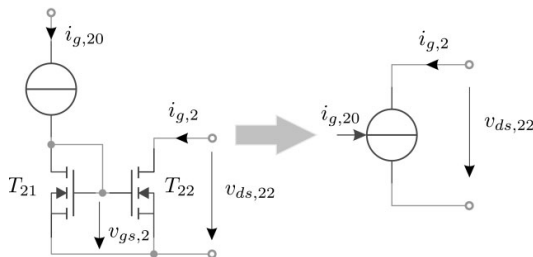


Bild 6 Entladestromquelle und deren Großsignalersatzschaltbild.

mit dem Verstärkungsfaktor K_{21} . Das Umformen von (10) führt schließlich auf die Gate-Source-Spannung

$$v_{gs,2} = \sqrt{\frac{2i_{g,20}}{K_{21}}} + V_{th,21}. \quad (11)$$

Um die Dynamik der Entladestromquelle genau abzubilden, müssten die parasitären Widerstände und Kapazitäten von T_{21} und T_{22} modelliert und eine Ersatzschaltung der beiden Transistoren erstellt werden. Aufgrund der relativ geringen Ströme sind allerdings die parasitären Widerstände der beiden Transistoren vernachlässigbar. Ebenso sind die parasitären Kapazitäten im Vergleich zu jenen des Power MOSFETs sehr klein. Damit ist jedoch die Dynamik der Stromquelle deutlicher schneller als die des Power MOSFETs. Um ein kompaktes mathematisches Gesamtmodell zu erhalten und gleichzeitig die Dynamik der Entladestromquelle näherungsweise zu berücksichtigen, wird diese mit Hilfe eines Verzögerungsgliedes erster Ordnung der Form

$$T_{f,2} \frac{dv_{ds,22f}}{dt} + v_{ds,22f} = v_{ds,22} \quad (12)$$

approximiert. Dabei entspricht $T_{f,2}$ der Zeitkonstante und $v_{ds,22f}$ der verzögerten Klemmspannung. Das Ersetzen von $v_{ds,22}$ durch $v_{ds,22f}$ in (9b) führt zusammen mit (11) auf die Beschreibung des Ein-/Ausgangsverhalten der Entladestromquelle in der Form

$$i_{g,2} = f(i_{g,20}, v_{ds,22f}). \quad (13)$$

Die in diesem Abschnitt vorgestellte mathematische Modellierung der Entladestromquelle ist direkt auf die Ladestromquelle übertragbar. Auf die detaillierte Beschreibung wird daher verzichtet.

2.4 Großsignalmodell der Ersatzschaltung

Mit Hilfe der Großsignalersatzschaltbilder der einzelnen Komponenten lässt sich das Großsignalmodell des Smart Power ICs gemäß Bild 7 erstellen. Zusätzlich zu den zuvor beschriebenen Komponenten sind in der Ersatzschaltung des Großsignalmodells die Offsetströme $i_{off,1}$ und $i_{off,2}$ berücksichtigt, die lediglich der Versorgung von diversen Mess- und Steuerschaltungen dienen und im Weiteren als konstant angenommen werden.

Die mathematische Beschreibung der Ersatzschaltung kann anhand der Bauteilgleichungen sowie der Anwendung der Kirchhoffschen Maschen- und Knotenregel gewonnen werden. Dabei werden zusätzlich folgenden Annahmen getroffen:

1. Die Spannungsabfälle $v_{r,d}$ und $v_{r,s}$ an den parasitären Widerständen des MOSFETs R_s und R_d werden durch

$$v_{r,d} = i_L R_d \quad \text{und} \quad v_{r,s} = i_L R_s \quad (14)$$

approximiert. Diese Vereinfachung ist zulässig, da der durch den Laststrom i_L verursachte Spannungsabfall an den beiden Widerständen dominiert.

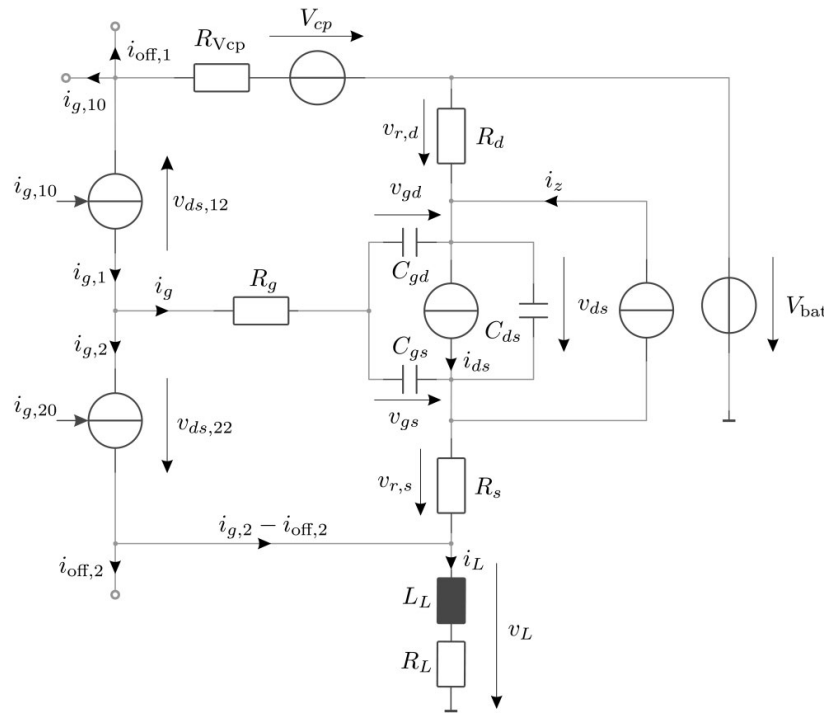


Bild 7 Ersatzschaltung für das Großsignalmodell des Smart Power ICs.

2. Der Spannungsabfall am Gatewiderstand R_g des Power MOSFETs ist im Vergleich zur Gate-Source-Spannung v_{gs} sehr gering, weshalb dieser ebenfalls vernachlässigt werden kann.

Als Ergebnis erhält man ein nichtlineares, explizites Differentialgleichungssystem fünfter Ordnung der Form

$$\frac{d}{dt} \mathbf{x} = \mathbf{f}(\mathbf{x}, \mathbf{u}), \quad \mathbf{x}(0) = \mathbf{x}_0 \quad (15)$$

mit dem Zustandsvektor $\mathbf{x} = [i_L \ v_{gd} \ v_{gs} \ v_{ds,12f} \ v_{ds,22f}]^T$, dem Eingangsvektor $\mathbf{u} = [i_{g,10} \ i_{g,20}]^T$, dem Anfangszustand \mathbf{x}_0 und dem Laststrom i_L als Ausgang $y = i_L$. Die Differentialgleichungen lauten im Detail

$$\frac{d}{dt} i_L = \frac{1}{L_L} \left(V_{bat} + v_{gd} - v_{gs} - i_L (R_s + R_L + R_d) \right) \quad (16a)$$

$$\begin{aligned} \frac{d}{dt} v_{gd} = & \frac{C_{ds}(v_{gd}, v_{gs})}{C(v_{gs}, v_{gd})} \left(i_{g,1}(i_{g,10}, v_{ds,12f}) - i_{g,2}(i_{g,20}, v_{ds,22f}) \right) \\ & + \frac{C_{gs}}{C(v_{gs}, v_{gd})} \left(-i_L + i_{ds}(v_{gd}, v_{gs}) - i_{off,2} \right) \\ & + i_{g,1}(i_{g,10}, v_{ds,12f}) - i_z(v_{gd}, v_{gs}) \end{aligned} \quad (16b)$$

$$\begin{aligned} \frac{d}{dt} v_{gs} = & \frac{C_{ds}(v_{gd}, v_{gs})}{C(v_{gs}, v_{gd})} \left(i_{g,1}(i_{g,10}, v_{ds,12f}) - i_{g,2}(i_{g,20}, v_{ds,22f}) \right) \\ & + \frac{C_{gd}(v_{gd})}{C(v_{gs}, v_{gd})} \left(i_L - i_{ds}(v_{gd}, v_{gs}) + i_{off,2} \right) \\ & - i_{g,2}(i_{g,20}, v_{ds,22f}) + i_z(v_{gd}, v_{gs}) \end{aligned} \quad (16c)$$

$$\begin{aligned} \frac{d}{dt} v_{ds,12f} = & \frac{1}{T_{f,1}} \left(v_{gd} - V_{cp} - R_d i_L - v_{ds,12f} \right. \\ & \left. + (i_{off,1} + i_{g,1}(i_{g,10}, v_{ds,12f}) + i_{g,10}) R_{Vcp} \right) \end{aligned} \quad (16d)$$

$$\frac{d}{dt} v_{ds,22f} = \frac{1}{T_{f,2}} \left(v_{gs} + R_s i_L - v_{ds,22f} \right) \quad (16e)$$

mit dem Drainstrom i_{ds} nach (2d), dem Lade- und Entladestrom $i_{g,1}$ und $i_{g,2}$ nach (9b) mit (11), dem Schutzdiodenstrom i_z nach (8), der Gate-Source-Kapazität C_{gs} nach (3), der Drain-Source-Kapazität $C_{ds}(v_{gd}, v_{gs})$ nach (4), der Gate-Drain-Kapazität $C_{gd}(v_{gd})$ nach (7) und der spannungsabhängigen Ersatzkapazität

$$C(v_{gs}, v_{gd}) = \left(C_{gd}(v_{gd}) + C_{gs} \right) C_{ds}(v_{gd}, v_{gs}) + C_{gd}(v_{gd}) C_{gs} \quad (16f)$$

Die mathematische Modellierung des Smart High-Side Power ICs ist somit vollständig. Im nächsten Abschnitt folgt der Modellabgleich.

3 Modellabgleich

Der Modellabgleich basiert zum einen auf den Schaltungselementen und den Simulationsergebnissen der in der Design- und Simulationsumgebung CUSTOM IC DESIGN: CADENCE VIRTUOSO SCHEMATIC [17] vorliegenden vollständigen Schaltung und zum anderen auf dem Datenblatt des n-Kanal Power MOSFETs BSC020N03LS [16]. Die Modellparameter der Ersatzschaltung werden wie folgt ermittelt:

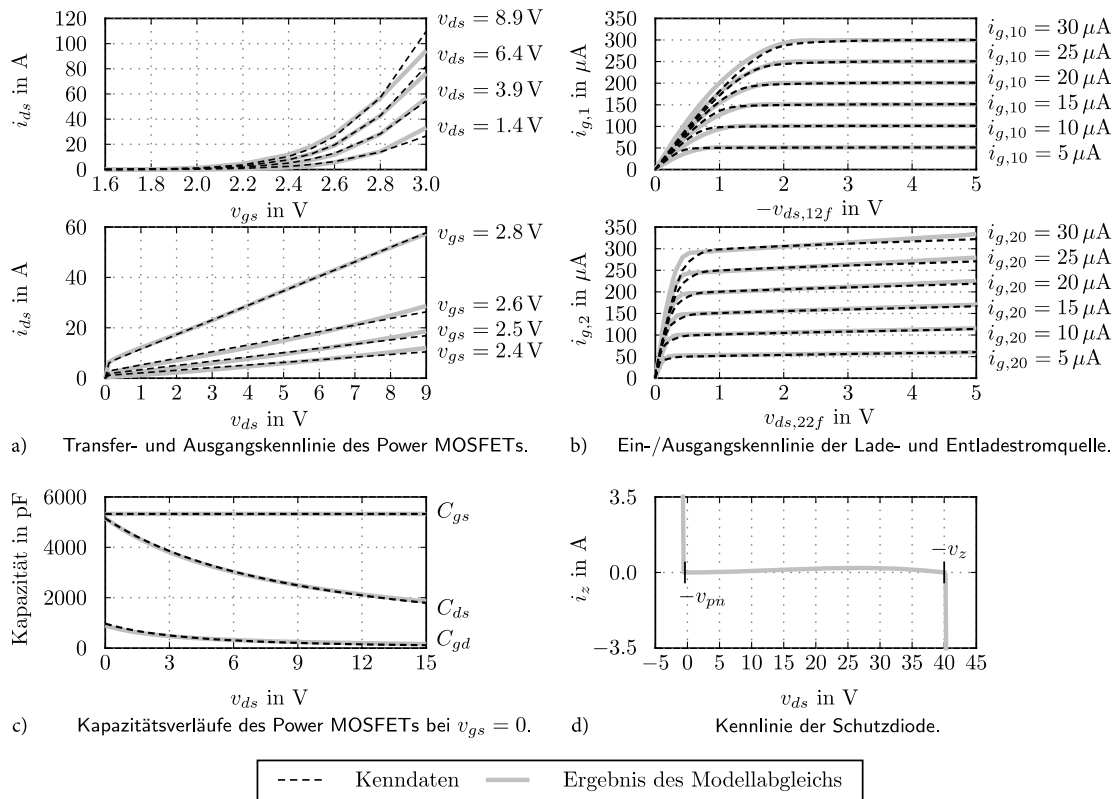


Bild 8 Kenndaten und Ergebnis des Modellabgleichs der Drainstromquelle des Power MOSFETs (a), der Lade- und Entladestromquelle (b), der parasitären Kapazitäten des Power MOSFETs (c) und der Schutzdiode (d).

- Die parasitären Widerstände R_s und R_d werden dem Power MOSFET Modell der vollständigen Schaltung entnommen.
- Die Modellparameter der Drainstromquelle des Power MOSFETs V_t, I_s, V_{th}, n und V_A nach (2d) werden aus der Transfer- und der Ausgangskennlinie bestimmt. Diese werden simulativ ermittelt. Der Abgleich erfolgt mittels einer nichtlinearen Least-Squares Identifikation, die mit MATLAB durchgeführt wurde. Das Ergebnis ist in Bild 8a dargestellt.
- Die Modellparameter der Lade- und der Entladestromquelle werden aus dem Ein- und Ausgangsverhalten der vollständigen Treiberschaltung bestimmt. Dazu werden die beiden Stromquellen jeweils mit einem konstanten Steuerstrom angesteuert, das Potential der jeweiligen Ausgangsklemmen mit idealen Spannungsquellen variiert und der Ausgangsstrom aufgezeichnet. Das Ergebnis der Simulation ist in Bild 8b in Form der Ein- und Ausgangskennlinie dargestellt. Anhand dieser Kennlinien werden die Modellparameter der Ladestromquelle $K_{11}, V_{th,11}, V_{th,12}, V_{t,1}, I_{s,12}$ und $V_{A,12}$ und der Entladestromquelle $K_{21}, V_{th,21}, V_{th,22}, V_{t,2}, I_{s,22}$ und $V_{A,22}$ nach (9b) mit (11) wiederum anhand einer nichtlinearen Least Squares Identifikation ermittelt.

- Die Zeitkonstanten der beiden Verzögerungsglieder $T_{f,1}$ und $T_{f,2}$ nach (12) werden simulativ festgelegt.
- Die parasitären Kapazitäten des Power MOSFETs werden anhand des Datenblattes bestimmt. Deren spannungsabhängigen Verläufe sind als Eingangs-, Ausgangs- und Reverskapazität C_{rss}, C_{iss} und C_{oss} gegeben. Die Umrechnung auf C_{gd}, C_{gs} und C_{ds} erfolgt nach [7] über

$$C_{gd} = C_{rss} \quad (17a)$$

$$C_{ds} = C_{oss} - C_{rss} \quad (17b)$$

$$C_{gs} = C_{iss} - C_{rss} \quad (17c)$$

Die Parameter $C_{gd,0}, C_{gs,0}, C_{ds,0}, v_{diff,ds}, n_{c,ds}, b_{c,gd}$ und $a_{c,gd}$ nach (3), (4) und (7) werden mittels einer nichtlinearen Least Squares Identifikation ermittelt. Der Übergangsbereich $\delta_{v_{gd}}$ wird anhand eines simulativen Vergleichs gewählt und die Koeffizienten des Übergangspolynoms a_i mit $i = 0, 1, 2, 3$ so bestimmt, dass $C_{gd}(v_{gd})$ stetig differenzierbar ist. Das Ergebnis des Abgleichs ist in Bild 8c dargestellt.

Tabelle 1 Modellparameter der Ersatzschaltung des Smart Power ICs.

Beschreibung	Symbol	Wert	Einheit	Beschreibung	Symbol	Wert	Einheit
Power MOSFET				Ladestromquelle			
Sourcewiderstand	R_s	50	$\mu\Omega$	Verstärkungsfaktor	K_{11}	11	$\mu\text{A}/\text{V}^2$
Drainwiderstand	R_d	336	$\mu\Omega$	Schwellspg. T_{11}	$V_{th,11}$	2,17	V
Steigungsfaktor	n	5,97	1	Schwellspg. T_{12}	$V_{th,12}$	2,15	V
Earlyspannung	V_A	1,088	V	Earlyspannung	$V_{A,12}$	2957	V
Schwellspannung	V_{th}	2,48	V	Zeitkonstante	$T_{f,1}$	4	μs
spezifischer Strom	I_s	3,34	A	spezifischer Strom	$I_{s,12}$	0,135	μA
Temperaturspannung	V_t	25	mV	Temperaturspg.	$V_{t,1}$	25	mV
Gateoxiddkapazität	$C_{gd,0}$	1284	pF	Entladestromquelle			
Gate-Sourcekapazität	$C_{gs,0}$	5321	pF	Verstärkungsfaktor	K_{21}	248	$\mu\text{A}/\text{V}^2$
Drain-Sourcekapazität	$C_{ds,0}$	5148	pF	Schwellspg. T_{21}	$V_{th,21}$	2,12	V
Diffusionspannung C_{ds}	$v_{diff,ds}$	7,25	V	Schwellspg. T_{22}	$V_{th,22}$	2,11	V
Kapazitätskoeffizient C_{ds}	$n_{c,ds}$	0,9	1	Earlyspannung	$V_{A,22}$	30	V
Parameter C_{gd}	$b_{c,gd}$	0,38	V	Zeitkonstante	$T_{f,2}$	1,5	μs
Parameter C_{gd}	$a_{c,gd}$	0,5	1	spezifischer Strom	$I_{s,22}$	2,796	μA
Übergangsbereich	$\delta_{v,gd}$	0,2	V	Temperaturspg.	$V_{t,2}$	25	mV
Koeffizient Polynom	a_0	0,94	1	Ladungspumpe			
Koeffizient Polynom	a_1	-0,54	1/V	Pumpspannung	V_{cp}	6	V
Koeffizient Polynom	a_2	-0,87	1/V ²	Innenwiderstand	R_{Vcp}	30	k Ω
Koeffizient Polynom	a_3	1,59	1/V ³	Schutzdiode			
Sonstige				Sättigungssperrstrom	$i_{z,0}$	120	μA
Offsetstrom	$i_{off,1}$	57,7	μA	Emissionskoeffizient	n_z	1,16	1
Offsetstrom	$i_{off,2}$	57,7	μA	Temperaturspannung	$V_{t,z}$	25	mV
Batteriespannung	V_{bat}	13	V	Sperrspannung	v_z	40	V
				Vorwärtsspannung	v_{pn}	-0,4	V

- Die Modellparameter der Schutzdiode $i_{z,0}$, n_z , $V_{t,z}$, v_z und v_{pn} nach (8) werden simulativ ermittelt. Der daraus resultierende Verlauf ist in Bild 8d dargestellt.
 - Die Offsetströme $i_{off,1}$ und $i_{off,2}$ werden ebenso simulativ ermittelt.
 - Die Modellparameter der Ladungspumpe V_{cp} und R_{Vcp} sowie die Batteriespannung V_{bat} werden der vollständigen Schaltung entnommen.
- Die Modellparameter sind in Tabelle 1 zusammengefasst.

4 Simulationsergebnisse

Das mathematische Modell des Smart Power ICs wurde in MATLAB/SIMULINK in Form einer C-CODE-S-FUNCTION implementiert. Dabei wurden die Modellparameter aus Tabelle 1 verwendet. In den folgenden Simulationsstudien wird das Ein-/Ausschaltverhalten und damit das Großsignalverhalten der vollständigen Schaltung mit jenem der entwickelten Ersatzschaltung verglichen. Die Bilder 9 und 10 zeigen die Simulationsergebnisse bei einem maximalen Lade-/Entladereferenzstrom von $i_{g,10} = i_{g,20} = 10 \mu\text{A}$ bzw. bei $i_{g,10} = i_{g,20} = 25 \mu\text{A}$ für eine ohmsch-induktive Last mit $R_L = 2 \Omega$ und $L_L = 20 \mu\text{H}$. Man erkennt, dass die Simulationsergebnisse der entwickelten Ersatzschaltung und der vollständigen Schaltung eine sehr gute Übereinstimmung aufweisen.

Beim Einschalten werden die Eingangskapazitäten des Power MOSFETs mit dem Gatestrom i_g der Treiberschaltung aufgeladen. Die Gate-Source-Spannung v_{gs} steigt dadurch an, siehe Bild 9c bzw. Bild 10c. Erreicht diese die Schwellspannung V_{th} des Power MOSFETs, so beginnt die Drain-Source-Strecke zu leiten und dadurch steigt i_{ds} an und v_{ds} nimmt ab. Die Eingangskapazitäten werden weiter aufgeladen, bis die maximale Leitfähigkeit des Power MOSFETs erreicht ist. Beim Erreichen der maximalen Leitfähigkeit hat i_{ds} seinen maximalen und v_{ds} seinen minimalen Wert, siehe Bild 9d und 9e bzw. Bild 10d und 10e. Der Power MOSFET ist somit aktiviert und die Last zugeschaltet. Aus den Simulationsergebnissen nach Bild 9b bzw. Bild 10b ist ersichtlich, dass der Gatestrom i_g beim Einschaltvorgang aufgrund der gegen Null strebenden Klemmspannung $v_{ds,12f}$ langsam abgeschnürt wird, vgl. dazu Bild 8b oben und Bild 7.

Beim Ausschaltvorgang werden die Eingangskapazitäten des Power MOSFETs mit dem Gatestrom i_g der Treiberschaltung entladen. Dadurch beginnt v_{gs} zu sinken und die Leitfähigkeit der Drain-Source-Strecke nimmt ab. Folglich steigt v_{ds} an und i_{ds} nimmt ab, siehe Bild 9d und e bzw. Bild 10d und e. Unterschreitet v_{gs} die Schwellspannung V_{th} , so ist der MOSFET deaktiviert. Die Gate-Source-Kapazität C_{gs} wird jedoch weiter entladen, bis die Entladestromquelle beim Erreichen von $v_{gs} = 0$ abgeschnürt wird, siehe Bild 9b bzw. Bild 10b.

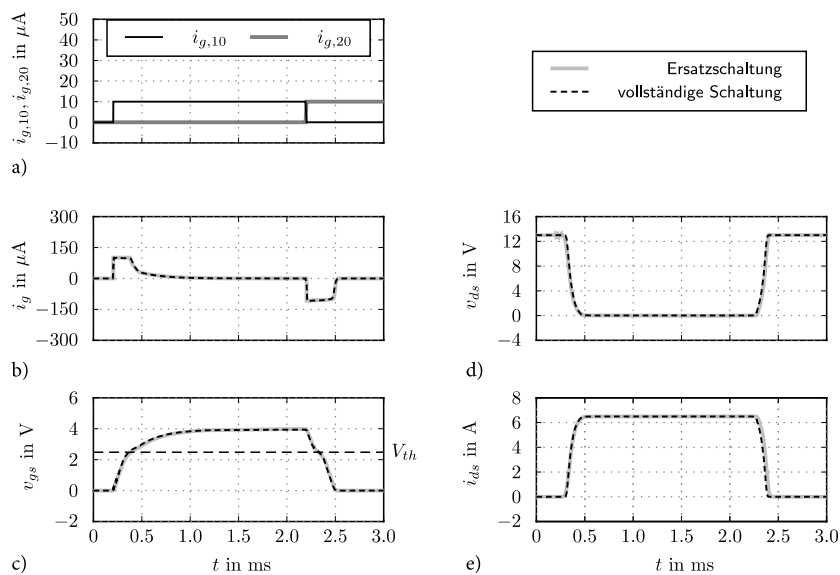


Bild 9 Vergleich der Simulationsergebnisse der vollständigen Schaltung und der Ersatzschaltung bei einer Last von $R_L = 2 \Omega$, $L_L = 20 \mu\text{H}$ und einem Lade-/Entladestrom von $i_{g,10} = i_{g,20} = 10 \mu\text{A}$.

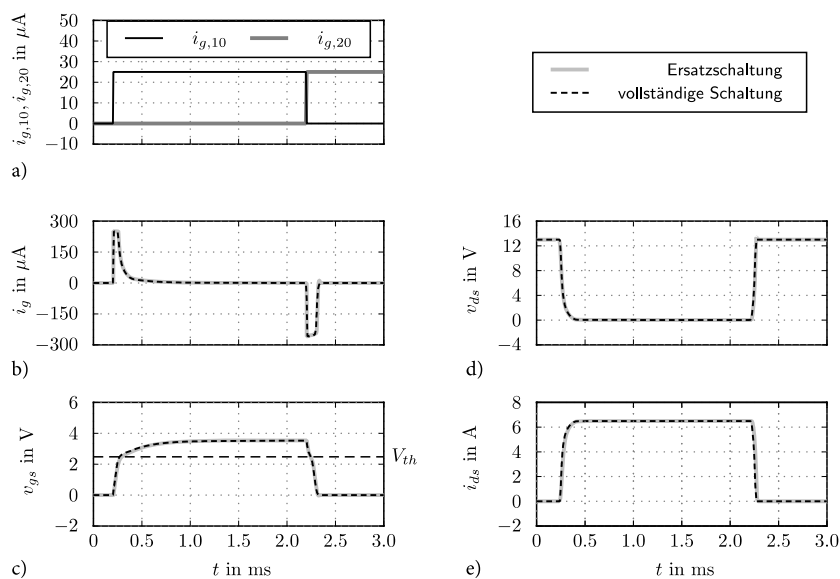


Bild 10 Vergleich der Simulationsergebnisse der vollständigen Schaltung und der Ersatzschaltung bei einer Last von $R_L = 2 \Omega$, $L_L = 20 \mu\text{H}$ und einem Lade-/Entladestrom von $i_{g,10} = i_{g,20} = 25 \mu\text{A}$.

Dies ist auf die direkte Abhängigkeit der verzögerten Klemmspannung $v_{ds,12f}$ von der Gate-Source-Spannung v_{gs} zurückzuführen, siehe dazu Bild 8b unten und Bild 7. Anhand der Simulationsergebnisse ist erkennbar, dass die Entladestromquelle länger einen konstanten Gatestrom i_g liefert als die Ladestromquelle. Dies ist mit dem nicht idealen Verhalten der Ladungspumpe zu begründen.

5 Zusammenfassung und Ausblick

Dieser Beitrag beschäftigt sich mit der Entwicklung eines niedrig-dimensionalen mathematischen Modells für die Systemanalyse und den Reglerentwurf zur Beschreibung des Großsignalverhaltens eines Smart High-Side Power ICs. Aufbauend auf der vollständigen Schaltung des Smart Power ICs wurde eine vereinfachte

Ersatzschaltung entworfen. Es wurde gezeigt, dass das Großsignalverhalten mit einem nichtlinearen, expliziten Differentialgleichungssystem fünfter Ordnung beschrieben werden kann. Anschließend wurden die Modellparameter der Ersatzschaltung bestimmt und die Ersatzschaltung mit der vollständigen Schaltung in Simulationsstudien verglichen. Als Ergebnis kann festgehalten werden, dass sowohl das stationäre als auch das dynamische Verhalten sehr gut mit dem vereinfachten Modell nachgebildet werden kann.

In den nächsten Schritten soll das thermische Verhalten des Power MOSFETs modelliert und das Großsignalverhalten der Ersatzschaltung experimentell verifiziert werden. Darauf aufbauend sollen modellbasierte, digitale Regelungs- und Schutzkonzepte für den Smart Power IC entwickelt werden.

Literatur

- [1] D. Schröder, „Leistungselektronische Bauelemente“, Springer, Berlin Heidelberg, 2. Auflage, 2006.
- [2] P. E. Allen und D. R. Holberg, „CMOS Analog Circuit Design“, Oxford University Press, New York Oxford, 2002.
- [3] S. M. Sze, K. K. Ng, „Physics of Semiconductor Devices“, Wiley-Interscience, New Jersey Hoboken, 3. Auflage, 2007.
- [4] N. Arora, „MOSFET Modeling for VLSI Simulation: Theory And Practice“, World Scientific Publishing, Singapore, 2007.
- [5] B. J. Baliga, „Fundamentals of Power Semiconductor Devices“, Springer, New York, 2008.
- [6] A. B. Bhattacharyya, „Compact MOSFET Models for VLSI Design“, John Wiley & Sons (Asia), Singapore, 2009.
- [7] D. A. Grant und J. Gowar, „Power MOSFETS: Theory and Applications“, John Wiley & Sons, New York, 1989.
- [8] C. Enz und E. A. Vittoz, „Charge-based MOS Transistor Modeling: The EKV Model for low-power and RF IC Design“, John Wiley & Sons, West Sussex, 2006.
- [9] B. Murari, F. Bertotti und G. A. Vignola, „Smart Power ICs: Technologies and Applications“, Springer, Berlin Heidelberg New York, 2. Auflage, 2002.
- [10] N. Mohan, T. M. Undeland und W. P. Robbins, „Power Electronics: Converters, Applications, and Design“, John Wiley & Sons, New York, 3. Auflage, 2003.
- [11] U. Tietze und C. Schenk, „Halbleiter-Schaltungstechnik“, Springer, Berlin Heidelberg New York, 12. Auflage, 2002.
- [12] F. Zach, „Leistungselektronik: Ein Handbuch, Band 1“, Springer, Wien, 4. Auflage, 2010.
- [13] W. Pribyl, „Integrated Smart Power Circuits Technology, Design and Application“, Proceedings of the 22nd European Solid-State Circuits Conference, ESSCIRC '96, Seiten 19–26, Neuchâtel Schweiz, 17–19 Sept. 1996.
- [14] Y. S. Chauhan, C. Anghel, F. Krummenacher, R. Gillon, A. Bague-nier, B. Desoete, S. Frere und A. M. Ionescu, „A compact DC and AC model for circuit simulation of high voltage VDMOS transistor“, 7th International Symposium on Quality Electronic Design, ISQED '06, Seiten 6–11, San Jose Kalifornien, 27–29 März 2006.
- [15] P. R. Gray, „Analysis and Design of Analog Integrated Circuits“, John Wiley & Sons, New York, 3. Auflage, 1993.
- [16] INFINEON, Datenblatt, „BSC020N03LS G“, Infineon Technologies AG, München, 2007, url: <http://www.infineon.com>, Aufruf 19.12.2012.
- [17] CADENCE, Produkthomepage, „Custom IC Design“, url: <http://www.cadence.com>, Aufruf 19.12.2012.

Manuskripteingang: 31. Januar 2013

Dipl.-Ing. Mathias Blank ist Projektassistent am Institut für Automatisierungs- und Regelungstechnik (ACIN) der Technischen Universität Wien. Hauptarbeitsgebiete: Modellbasierter Entwurf von Regelungs- und Schutzkonzepten für Leistungshalbleiter.

Adresse: Technische Universität Wien, Institut für Automatisierungs- und Regelungstechnik A-1040 Wien, E-Mail: blank@acin.tuwien.ac.at

Dipl.-Ing. Dr. techn. Tobias Glück ist Projektassistent am Institut für Automatisierungs- und Regelungstechnik (ACIN) der Technischen Universität Wien. Hauptarbeitsgebiete: Modellbasierter Beobachter- und Regelungsentwurf mit Anwendungen in der Pneumatik und Elektromechanik.

Adresse: Technische Universität Wien, Institut für Automatisierungs- und Regelungstechnik A-1040 Wien, E-Mail: glueck@acin.tuwien.ac.at

Dipl.-Ing. Dr. techn. Hans-Peter Kreuter ist Entwicklungsingenieur bei Infineon Österreich in Villach. Hauptarbeitsgebiete: Mixed-Signal Design und Verifikation von Automobilelektronik.

Adresse: Infineon Technologies Austria AG, Siemensstraße 2, A-9500 Villach, E-Mail: hanspeter.kreuter@infineon.com

Univ.-Prof. Dipl.-Ing. Dr. techn. Andreas Kugi ist Institutsvorstand am Institut für Automatisierungs- und Regelungstechnik (ACIN) der Technischen Universität Wien. Hauptarbeitsgebiete: Modellierung, Simulation und Regelung nichtlinearer sowie infinit-dimensionaler mechatronischer Systeme mit Anwendungen in der Hydraulik und Pneumatik, der Walzwerksautomatisierung, in der Automobilindustrie sowie für mikromechanische Systeme.

Adresse: Technische Universität Wien, Institut für Automatisierungs- und Regelungstechnik, A-1040 Wien, E-Mail: kugi@acin.tuwien.ac.at